

Verilog入門スタイルについて

Verilog入門スタイルは、入門者用の最も基本的なVerilog HDLの記述スタイルであり、以下のルールを守る

1. 組み合わせ回路はassign文以外では書かない
2. 条件構文の条件は排他的に書き、入れ子は厳禁とする
3. always文は(非同期式リセットの付いた)レジスタの記述のみに利用し、原則として1つのalways文中で1つ以上のレジスタに出力しない
4. 原則として全てのレジスタを初期化する
5. function文は使わない
6. inout、3ステートバスは使わない

このスタイルは入門者用だが、複雑な回路もこれで記述することができる。