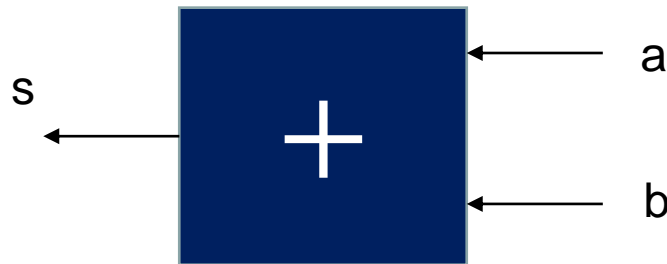


assign文

- Verilogでは信号を出力する、あるいは信号線を繋ぐことをassign文で表します。
- assign文の左辺は、wire宣言された信号線と出力のみ。

```
wire s;
```

```
assign s=a+b;
```



assign文の順番には意味がない

```
wire s1,s2;
```

```
assign s1=a-b;
```

```
assign s2=a+s1;
```

```
wire s1,s2;
```

```
assign s2=a+s1;
```

```
assign s1=a-b;
```

この両者は全く同じ。右の記述は全く問題ない
並んだassign文は同時並行的に扱われる

assign文でよくやるミス

- assign自体の付け忘れ(ついC言語の気分で、、)
- reg宣言した変数に対してassignする
- always文の中でassign文を使う
- assign文の前にちゃんと変数の宣言をしていない

assign文については、論理式、選択構文、バスなども参考にしてください。