

Altera Stratix Vにおける Partial Reconfigurationの方法

慶應義塾大学

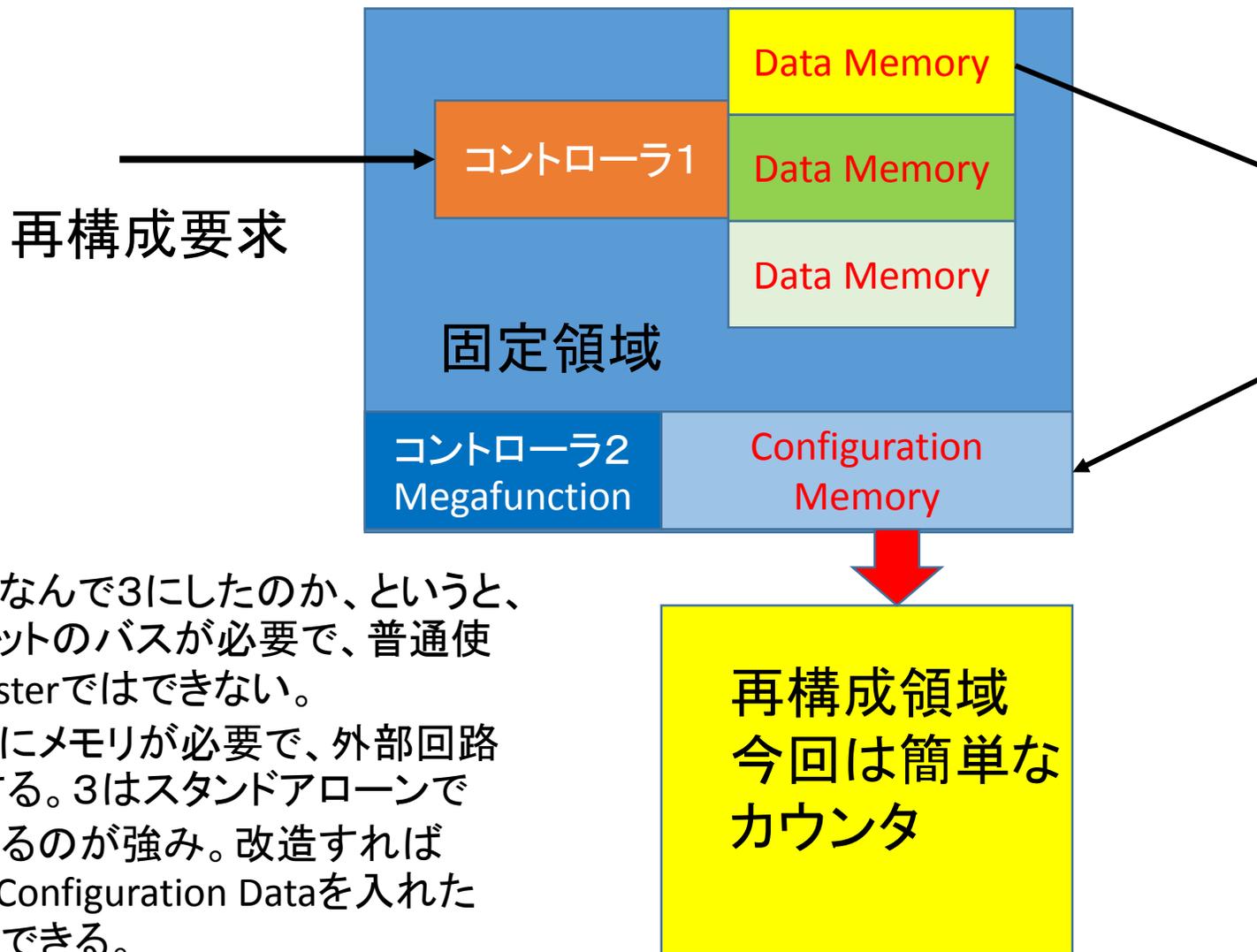
天野英晴

2015年11月2日

はじめに

- このフローは、AlterawikiにあるPartial Reconfiguration example design using Partial Reconfiguration Megawizard functionを元にしてしている。
http://www.alterawiki.com/wiki/Partial_Reconfiguration_example_design_using_the_Partial_Reconfiguration_Megawizard_function.
- 違いは以下の通りである。
 - 元はVHDLだがこれはVerilogである。
 - 元はQuartus archive(qar)の形になっていてどのようにしてこれを作るかは分からない。**これを示すのがこのフローの目的である。**
 - Stratix V Development Kitで実際にテストすることが可能
 - 元の方がreconfiguration後のLEDの点き方がかっこいいが、こちらは手抜き
- Quartus IIは13.2を使った。13以上でないとPR用のMegafunctionがないらしい
- PRの設計を行うためには、ライセンスが必要。これはAcademic Licenseをお持ちならば、Alteraにお願いすれば4, 5日で入手可能

部分再構成の方式



ちなみになんで3にしたのか、というと、1は16ビットのバスが必要で、普通使うUSBBlasterではできない。2は外部にメモリが必要で、外部回路に依存する。3はスタンドアローンで実現できるのが強み。改造すればPCIeからConfiguration Dataを入れたり(多分)できる。

Stratix Vの部分再構成は、三つの方法がある。

1. 完全に外部ホストから制御する
2. ホストは中に置くが、Configuration Dataは外から供給する
3. Configuration DataをあらかじめFPGAのData Memoryに入れておいて、これをConfiguration Memoryに転送することで部分再構成を行う

このフローは、3に基づく。理想的には図のように内部のデータメモリからコントローラ1が選んで送ることで数種類のConfigurationを構成することができる。

しかし、Configuration Dataが異様に大きいので現在では2つが関の山である。で、今回は1つしか載せていない。

つまり、最初にあったpersona1がスイッチを押すとpersona2に切り替わっておしまいである。

ファイル

- http://www.am.ics.keio.ac.jp/members/hunga/{pr_ex.tar, pr_test.tar}をダウンロードして解凍
- このうちpr_exは出来上がった形です。フローを辿る場合はpr_testをお使いください
- pr_testに入るとquartus.iniファイルとSRCディレクトリがあるはず。
- quartus.iniはQuartusの初期化用のファイルでこれがないとrbf生成時にmifが出来ない。
- SRCの下には以下のファイルがある。
- PR_MW_INT_HOST_TOP.v : ホストのトップ
- PRMW_IntHost_Controller.v:ホスト側のコントローラ(前のページのController1)
- PR_ROM.v, PR_ROM.qip: 2MワードのROM (解説は次ページ)
- PB_edge_detect.v: ボードのスイッチのチャタリング除去用、これがないと再構成がうまくいかない
- freezer.v: 再構成時フリーズさせるためのモジュール
- counter_one.v: カウンタ1: 最初の構成時のカウンタで、LEDがゆっくり点滅する。Altera用語でのpersona1
- counter_pwm.v: カウンタ2: 再構成後のカウンタで、LEDが高速に点滅する。Altera用語でのpersona2
- この設計はpersona1とpersona2が同じ入出カインタフェースを持っていると仮定している。インタフェースが違っているとwrapperが必要。

設計フローの概観

再構成領域を分離、再構成領域に
Wrapper, Freezeを付け、設計を再構築

Controller用MegaFunction、PR用のROMの生成
合成、配置配線

Partial Reconfiguration用のPartitionを作成

Partitionに対してLogic Lock Regionを設定
合成、配置配線

Partial Reconfiguration用のversionを作成
合成、配置配線

ファイル変換をし、ROM用のmifを生成

元のversionでAssemblerのやり直し→sof生成

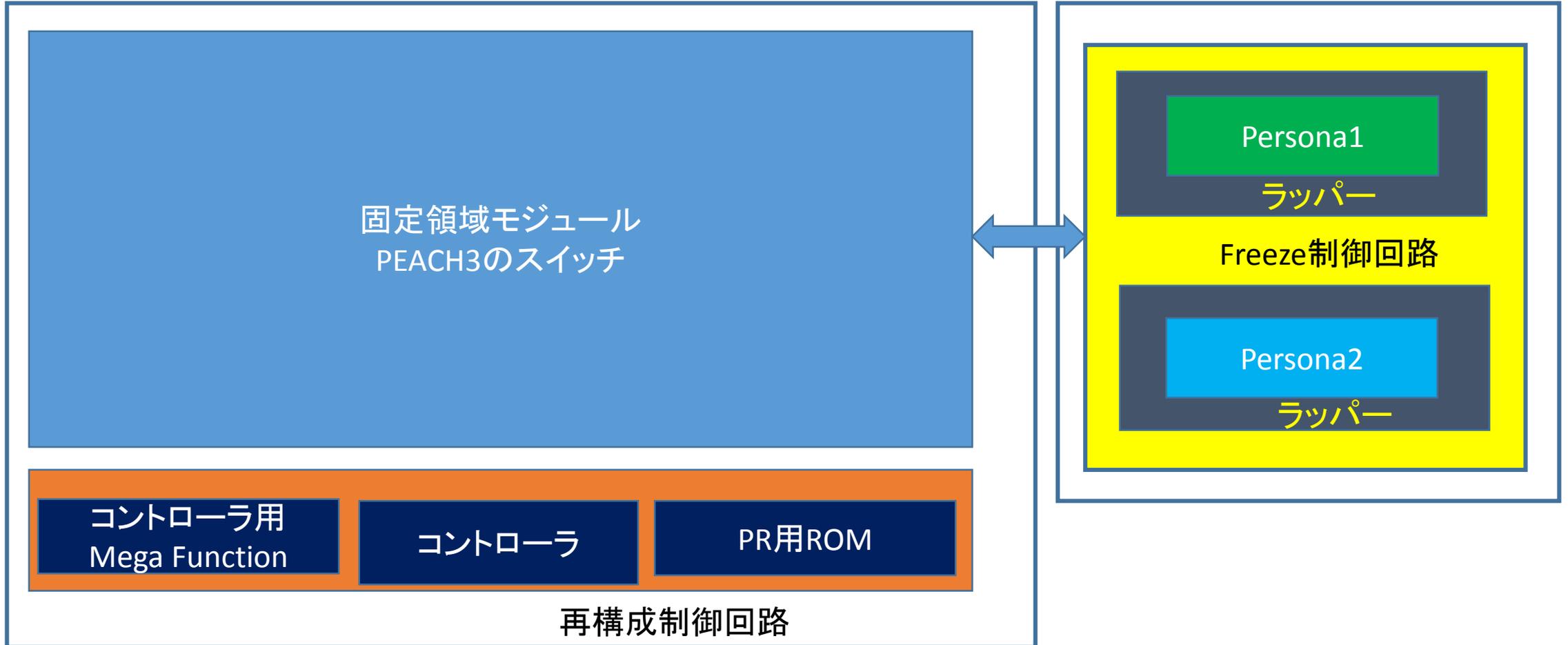
詳細は、

<http://www.am.ics.keio.ac.jp/members/hunga/AlteraPRflow.pdf>参照 設計キットも付いてるよ！

設計の再構築

固定領域

再構成領域



PR_ROMについて

- PR_ROM.v、PR_RPM.qipは、MegaFunctionにより生成した1ポートのROM
- Configuration data 格納用
- 2M×16ビット構成
- 初期化用データの入っている./SRC/PR_DATA.mifを読み込む。
- これは最初はいいい加減に設定してある
- 注)これは本当はMegaFunctionで生成できるはずなのだが、MegaFunctionではなぜか深さ64Kまでしか生成できない。VHDLを使うと勝手に深さを合わせてくれるのだがVerilogだと合わせてくれない。そこで、手でいじってサイズを設定してある。これ以外のスマートな方法をご存知の方は教えてほしい。

プロジェクトの生成

- File-> New->New Project
- トップモジュール名をプロジェクト名にするのでPW_MW_INT_HOST_TOPとする(これが一致しないと後でエラーになる)
- Add FilesでSRC中のvファイルをcounter_pwm.vを除いてAddする
- PR_ROM.qipもAddする
 - PR_ROM_bb.vは不要なのであってもAddしない
- DeviceはStratix Vテストキットの5SGXEA7K2F40C2を指定
- EDA Tool Settingsは、Verilog HDLを指定
- Projectの初期画面が現れる

Category:

Device...

- General
- Files**
- Libraries
- Operating Settings and Condition
 - Voltage
 - Temperature
- Compilation Process Settings
 - Early Timing Estimate
 - Incremental Compilation
 - Physical Synthesis Optimizati
- EDA Tool Settings
 - Design Entry/Synthesis
 - Simulation
 - Formal Verification
 - Board-Level
- Analysis & Synthesis Settings
 - VHDL Input
 - Verilog HDL Input
 - Default Parameters
- Fitter Settings
- TimeQuest Timing Analyzer
- Assembler
- Design Assistant
- SignalTap II Logic Analyzer
- Logic Analyzer Interface
- PowerPlay Power Analyzer Settin
- SSN Analyzer

Files

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.

File name: ...

File Name	Type	Library	Design Entry/S
PW_MW_INT_HOST_TOP.sdc	Synopsys Design Constraints File		<None>
SRC/test.v	Verilog HDL File		
SRC/PW_MW_INT_HOST_TOP.v	Verilog HDL File		
SRC/PRMW_IntHost_Controller.v	Verilog HDL File		
SRC/PR_ROM.v	Verilog HDL File		
<input checked="" type="checkbox"/> SRC/PR_ROM.qip	IP Variation File (.qip)		
SRC/PB_edge_detect.v	Verilog HDL File		
SRC/freezer.v	Verilog HDL File		
SRC/counter_one.v	Verilog HDL File		<None>
<input checked="" type="checkbox"/> PR_MW_Verilog.qip	IP Variation File (.qip)		<None>

OK Cancel Apply Help

これは最終的なセッティングでPR_MW_Verilogはこれから作る

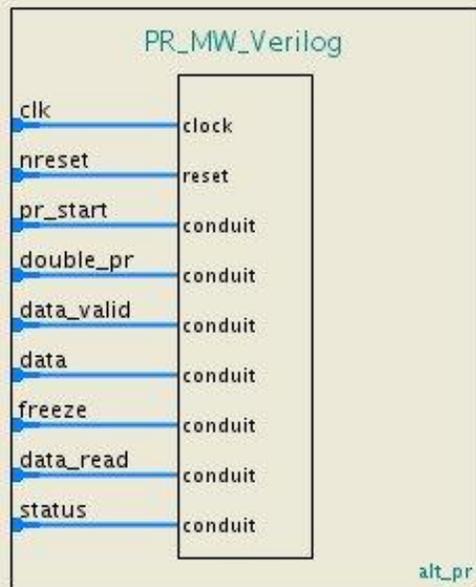
MegaFunctionの生成

- Tools -> MegaWizard Plug-In Manager
- Create a new custom megafunction variation Next>
- JTAG-accessible Extensions -> Partial Reconfiguration v13.1
- 名前はここでは、PR_MW_Verilogとする
- Partial ReconfigurationのMegaFunctionが現れる
- しかし、やることがないので、Finish



Block Diagram

Show signals



Settings

General

Use as PR Internal Host

Enable JTAG debug mode

Input Data Width: 16 bits

Clock-to-Data ratio: 1

Divide error detection frequency by: 1

Design & Analysisをすると構造が表示される

The screenshot displays the Quartus II interface during a compilation process. A blue callout box with the text "階層構造が表示される" (Hierarchy structure is displayed) points to the Project Navigator on the left, which shows a hierarchical tree of design components. The main window is split into three panes: the Project Navigator, a Table of Contents, and the Flow Summary report.

階層構造が表示される

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyz
- EDA Netlist Writer
- Flow Messages
- Flow Suppressed Message

Flow Summary

Flow Status	Successful - Tue Nov 3 20:04:15 2015
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	PW_MW_INT_HOST_TOP
Top-level Entity Name	PW_MW_INT_HOST_TOP
Family	Stratix V
Device	5SGXEA7K2F40C2
Timing Models	Final
Logic utilization (in ALMs)	1,046 / 234,720 (< 1 %)
Total registers	358
Total pins	7 / 864 (< 1 %)
Total virtual pins	0
Total block memory bits	33,554,432 / 52,428,800 (64 %)
Total DSP Blocks	0 / 256 (0 %)
Total HSSI STD RX PCSs	0 / 36 (0 %)
Total HSSI 10G RX PCSs	0 / 36 (0 %)
Total HSSI GEN3 RX PCSs	0 / 36 (0 %)
Total HSSI PMA RX Deserializers	0 / 36 (0 %)
Total HSSI STD TX PCSs	0 / 36 (0 %)
Total HSSI 10G TX PCSs	0 / 36 (0 %)
Total HSSI GEN3 TX PCSs	0 / 36 (0 %)
Total HSSI TX Channels	0 / 36 (0 %)
Total HSSI PIPE GEN1_2s	0 / 36 (0 %)
Total HSSI GEN3s	0 / 36 (0 %)
Total PLLs	0 / 80 (0 %)
Total DLLs	0 / 4 (0 %)

Tasks

Flow: Full Design

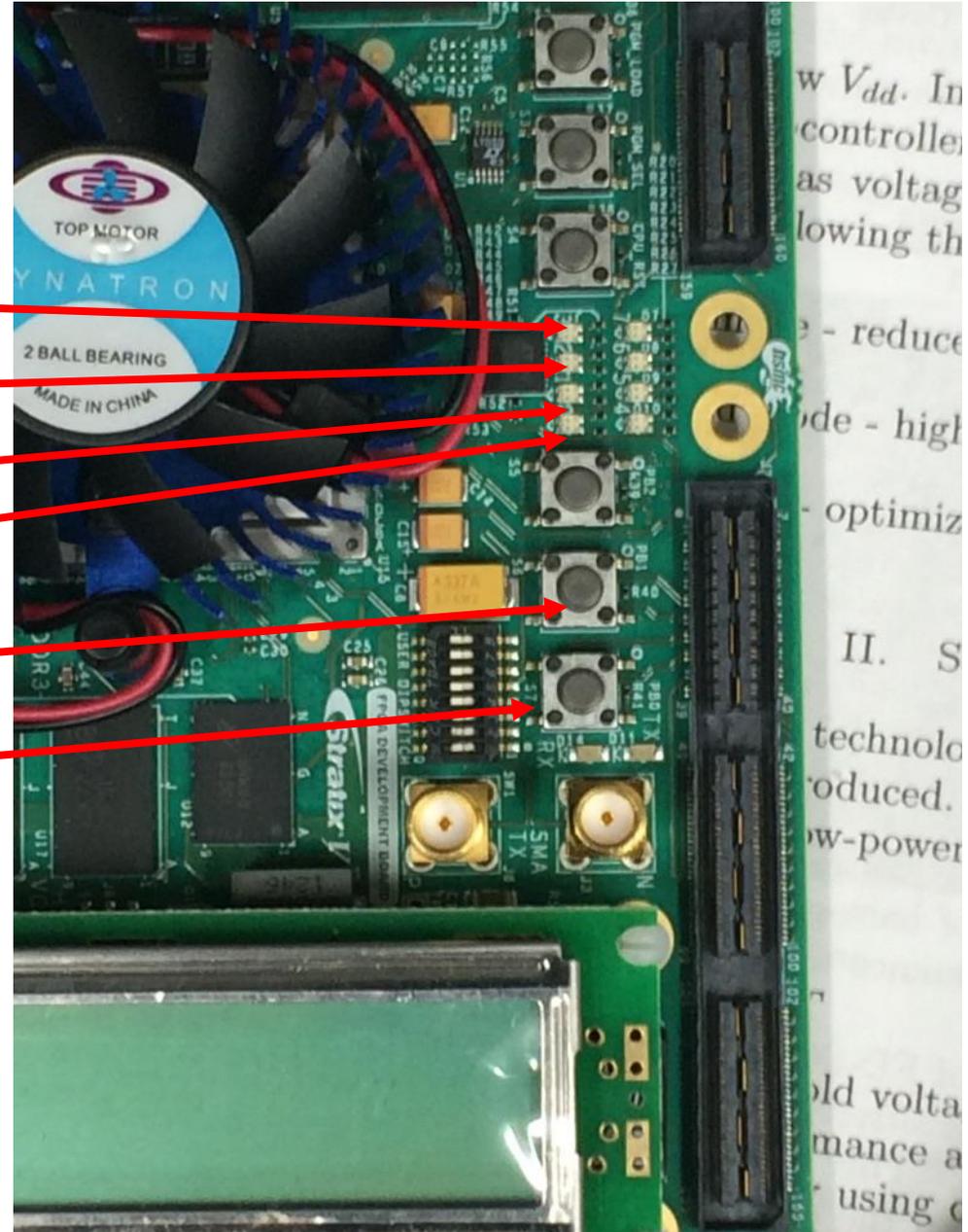
Task	Status
Assign Constraints	Completed
Compile Design	Completed
Analysis & Synthesis	Completed
Edit Settings	Completed
View Report	Completed
Analysis & Elaboration	Completed
Partition Merge	Completed
Netlist Viewers	Completed
Design Assistant (Post-Mapping)	Completed
I/O Assignment Analysis	Completed
Early Timing Estimate	Completed
Fitter (Place & Route)	Completed
Assembler (Generate programming files)	Completed

Messages

Type	ID	Message
Info		Analyzing Fast 900mV 85C Model
Info	334003	Started post-fitting delay annotation
Info	334004	Delay annotation completed successfully
Info	332123	Deriving Clock Uncertainty. Please refer to report_sdc in TimeQuest to see clock uncertainties.
Info	332146	Worst-case setup slack is 5.775
Info	332146	Worst-case hold slack is 0.085
Info	332146	Worst-case recovery slack is 9.672
Info	332146	Worst-case removal slack is 0.202

pin_plannerでピン配置を決定

- Assignment→Pin Planner
- PR_ERRPR AU24
- PR_COMPLETE U9
- CRC_ERROR U10
- clockout J11
- start PB B7
- reset A7
- clkkin AN6 50MHz on-board clock



終わったら、再びCompileをする。

PR Partitionを作る

- Project Navigatorのcounterを右クリックして
 - Design Partition→Set as Design Partition
- Assignments→Design Partitions Window
- Design Partitions Windowが開くので、counterのAllow Multiple PersonasをONにする
 - Allow Multiple Personasが隠れている場合は、Design Partition Windowの上のフレームをクリックしてAllow Multiple Personasにチェックを入れる

Project Navigator

Entity

- Stratix V: 5SGXEA7K2F40C2
- PW_MW_INT_HOST_TOP
 - freezer:DUT
 - counter:UA
 - PRMW_IntHost_Controller:Int_Host_Inst
 - PR_ROM:PR_ROM_inst
 - PR_MW_Verilog:U1
 - sld_hub:auto_hub
 - PB_edge_detect:reset_PB_inst
 - PB edge detect:start PB inst

Hierarchy | Files | Design Units | IP Components

Tasks

Flow: Full Design Customize...

Task

- Assign Constraints
- Compile Design
 - Analysis & Synthesis
 - Edit Settings
 - View Report
 - Analysis & Elaboration
- Partition Merge
- Netlist Viewers
- Design Assistant (Post-Mapping)
- I/O Assignment Analysis

Compilation Report - PW_MW_INT_HOST_TOP

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyz
- EDA Netlist Writer
- Flow Messages
- Flow Suppressed Message

Flow Summary

Flow Status	Successful - Tue Nov 3 21:52:29 2015
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	PW_MW_INT_HOST_TOP
Top-level Entity Name	PW_MW_INT_HOST_TOP
Family	Stratix V
Device	5SGXEA7K2F40C2
Timing Models	Final
Logic utilization (in ALMs)	1,036 / 234,720 (< 1 %)
Total registers	359
Total pins	7 / 864 (< 1 %)
Total virtual pins	0
Total block memory bits	33,554,432 / 52,428,800 (64 %)
Total DSP Blocks	0 / 256 (0 %)
Total HSSI STD RX PCSs	0 / 36 (0 %)
Total HSSI 10G RX PCSs	0 / 36 (0 %)
Total HSSI GEN3 RX PCSs	0 / 36 (0 %)
Total HSSI PMA RX Deserializers	0 / 36 (0 %)
Total HSSI STD TX PCSs	0 / 36 (0 %)
Total HSSI 10G TX PCSs	0 / 36 (0 %)
Total HSSI GEN3 TX PCSs	0 / 36 (0 %)
Total HSSI TX Channels	0 / 36 (0 %)
Total HSSI PIPE GEN1_2s	0 / 36 (0 %)
Total HSSI GEN3s	0 / 36 (0 %)
Total PLLs	0 / 80 (0 %)
Total DLLs	0 / 4 (0 %)

Design Parti...

Partition Name	Netlist Type	Color	Allow Multiple Personas	Input Persona
Design Partitions				
<<new>>				
Top	Source File		Not Applicable	
counter:UA	Post-Synthesis		On	

commendation: 1 of 1 for The selected partitions have not been compiled Details...

Messages

All Search

Type	ID	Message

		Running Quartus II 64-Bit EDA Netlist Writer
		Command: quartus_eda --read_settings_files=off --write_settings_files=off PW_MW_INT_HOST_TOP -c PW_MW_INT_HOST_TOP
		Using INI file /home/asap/hunga/pr_ex/quartus.ini

System | Processing (190)

LogicLock Regionを作る

- Project Navigatorのcounterを右クリックして
- LogicLock Region→Create New LogicLock Region
- AssignmentsをクリックしLogicLock Region Windowを開く
- counterの設定を以下のようにする。
- Size: Fixed、Width:3, Height 64, State: Locked
Origin: X50_Y1, Reserved: On, Enabled: Enable,
Partial Reconfiguration: Yes

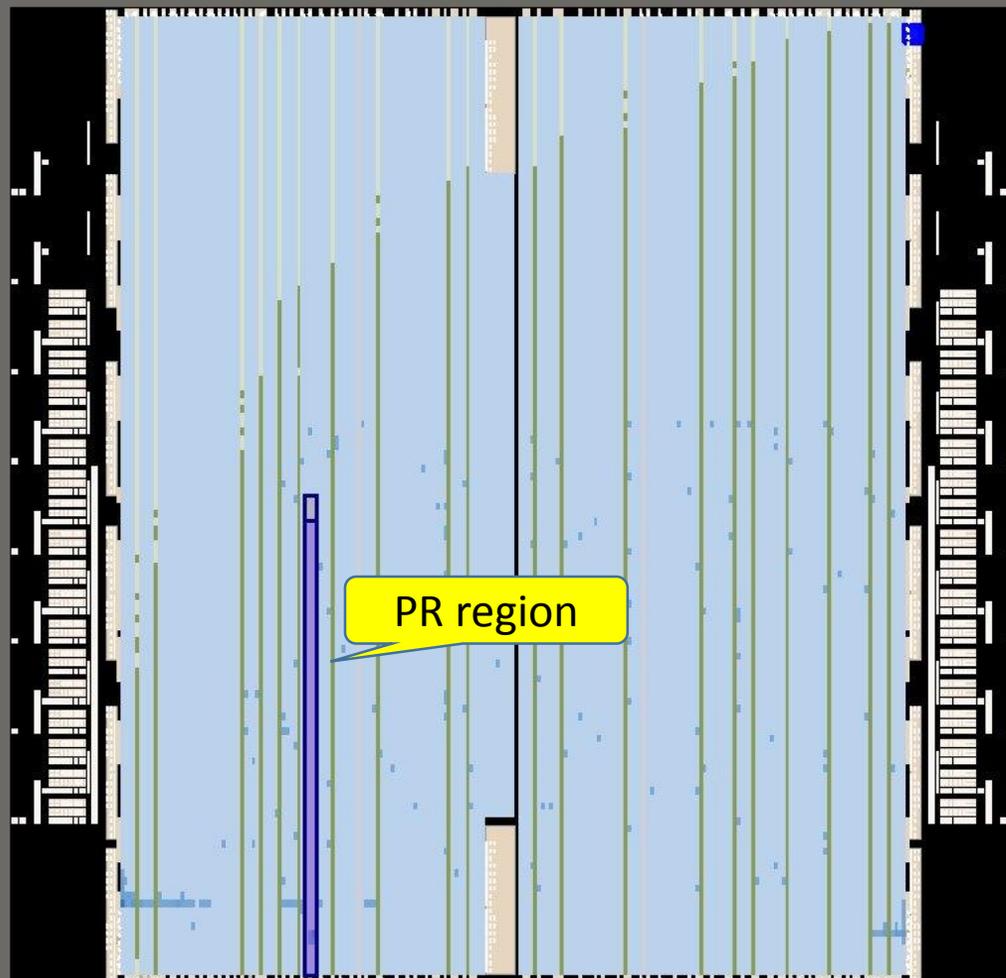
Partial Reconfigurationが隠れていたらフレームをクリックしてチェックを入れると出てくる

次ページの図に示すように矢鱈と縦長だが、これは幅を増やすとConfiguration Data量が増えるため

サイズはいい加減なので調整してください

Coordinate:

Editing Mode: ECO - 5SGXEA7K2F40C2



PR region

Layers Settings

- Basic
 - Background
 - None
 - Block Utilization
 - Design Partition Planner
 - LogicLock Regions
 - User-assigned LogicLock Regi...
 - Fitter-placed LogicLock Regions
 - Clock Regions
 - Global Clock Region
 - Local Clock Region
 - LVDS Clock Region
 - Regional Clock Region
 - Periphery Clock Region
 - Row Clock Region
 - Overlay Objects
 - Connection Lines
 - Labels
 - Differential Pin Pairs
 - Report Overlay
 - Routing Details
 - Local Routing
 - Global Routing
 - Logic Details
 - Logic Details
 - Ports

Layers Settings Color Legend

Resource Properties

Selected elements: LAB_X209_Y127_N0

General	
Full Name	LAB_X209_Y127_N0
Coordinate	(209 , 127)
Block Utilization	0 of 60
Resource Type	LAB
Location Assignment	No

Region Name	Size	Width	Height	State	Origin	Reserved	Enabled	Partial Reconfigu...
LogicLock Regions								

LogicLock Regions

Recommendation: 1 of 1 for All LogicLock Regions

Tighten region "counter:UA" to improve utilization

Project Navigator

Entity

- Stratix V: 5SGXE7K2F40C2
- PW_MW_INT_HOST_TOP
 - freezer:DUT
 - counter:UA
 - PRMW_IntHost_Controller:Int_Host_Inst
 - PR_ROM:PR_ROM_inst
 - PR_MW_Verilog:U1

Hierarchy | Files | Design Units | IP Components

Tasks

Flow: Full Design Customize...

Task

- Assign Constraints
- Compile Design
- Analysis & Synthesis
- Edit Settings
- View Report
- Analysis & Elaboration
- Partition Merge

Compilation Report - PW_MW_INT_HOST_TOP

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyz
- EDA Netlist Writer
- Flow Messages
- Flow Suppressed Message

Flow Summary

Flow Status	Successful - Tue Nov 3 21:52:29 2015
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	PW_MW_INT_HOST_TOP
Top-level Entity Name	PW_MW_INT_HOST_TOP
Family	Stratix V
Device	5SGXE7K2F40C2
Timing Models	Final
Logic utilization (in ALMs)	1,036 / 234,720 (< 1 %)
Total registers	359
Total pins	7 / 864 (< 1 %)
Total virtual pins	0
Total block memory bits	33,554,432 / 52,428,800 (64 %)
Total DSP Blocks	0 / 256 (0 %)
Total HSSI STD RX PCSs	0 / 36 (0 %)
Total HSSI 10G RX PCSs	0 / 36 (0 %)
Total HSSI GEN3 RX PCSs	0 / 36 (0 %)
Total HSSI PMA RX Deserializers	0 / 36 (0 %)
Total HSSI STD TX PCSs	0 / 36 (0 %)
Total HSSI 10G TX PCSs	0 / 36 (0 %)
Total HSSI GEN3 TX PCSs	0 / 36 (0 %)
Total HSSI TX Channels	0 / 36 (0 %)
Total HSSI PIPE GEN1_2s	0 / 36 (0 %)

LogicLock...

Region Name	Size	Width	Height	State	Origin	Reserved	Enabled	Partial Reconfiguration
Root Region	Fixed	211	130	Locked	X0_Y0	Off	Enabled	No
<<new>>								
counter:UA	Fixed	3	64	Locked	X50_Y1	On	Enabled	Yes

Recommendation: 1 of 1 for The selected regions have not been compiled

Design Pa...

Partition Name	Netlist Type	Color	Allow Multiple Personas	Input Persona
<<new>>				
Top	Source File		Not Applicable	
counter:UA	Post-Synthesis		On	

Recommendation: 1 of 1 for The selected partitions have not been compiled

Messages

All <<Search>>

Type	ID	Message

		Running Quartus II 64-Bit EDA Netlist Writer

PR versionを作る

- Project Navigatorの下のフレームのRevisionをクリック
 - これは普通隠れているが矢印をクリックすると出てくる
 - 現在のRevisionを右クリック Create Reconfigurable Revisionをクリック
 - 名前を聞いてくるので適当に(ここではprtst)入れてやる→OK
 - ここで、一度Assemblerまで走らせる(これをやらないとstatic領域用のpersonaディレクトリを作ってくれない)
 - Project Navigatorの上のversion名の右をクリックしてversionを変更
- Assignment Setting→Filesでファイル名を表示
 - 最初のpersonaであるcouner_one.vをRemove
 - 切り替え後のpersonaであるcounter_pwmをAdd
- Design Partition Windowのcounterを
 - Netlist Type: Source File、Allow Multiple Personas:Onに変更
- Assemblerまで走らせる

Project Navigator

Revision	Type	Next Stage
PW_MW_INT_HOST_TOP	Base	?
prtst	Reconfigurable	?

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyz
- EDA Netlist Writer
- Flow Messages
- Flow Suppressed Message

Flow Summary

Flow Status	Successful - Wed Nov 4 10:35:44 2015
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	PW_MW_INT_HOST_TOP
Top-level Entity Name	PW_MW_INT_HOST_TOP
Family	Stratix V
Device	5SGXEA7K2F40C2
Timing Models	Final
Logic utilization (in ALMs)	N/A until Partition Merge
Total registers	N/A until Partition Merge
Total pins	N/A until Partition Merge
Total virtual pins	N/A until Partition Merge
Total block memory bits	N/A until Partition Merge
Total DSP Blocks	N/A until Partition Merge
Total HSSI STD RX PCSs	N/A until Partition Merge
Total HSSI 10G RX PCSs	N/A until Partition Merge
Total HSSI GEN3 RX PCSs	N/A until Partition Merge
Total HSSI PMA RX Deserializers	N/A until Partition Merge
Total HSSI STD TX PCSs	N/A until Partition Merge
Total HSSI 10G TX PCSs	N/A until Partition Merge
Total HSSI GEN3 TX PCSs	N/A until Partition Merge
Total HSSI TX Channels	N/A until Partition Merge
Total HSSI PIPE GEN1_2s	N/A until Partition Merge

Tasks

Flow: Full Design

Task
Assign Constraints
Compile Design
Analysis & Synthesis
Edit Settings
View Report
Analysis & Elaboration
Partition Merge

LogicLock...

Region Name	Size	Width	Height	State	Origin	Reserved	Enabled	Partial Reconfiguration
LogicLock Regions								
Root Region	Fixed	211	130	Locked	X0_Y0	Off	Enabled	No
<<new>>								
counter11A	Fixed	2	64	Locked	X50_Y1	On	Enabled	Yes

Recommendation: 1 of 1 for All LogicLock Regions

Run Partition Merge to obtain more recommendations

Design Pa...

Partition Name	Netlist Type	Color	Allow Multiple Personas	Input Persona
Design Partitions				
<<new>>				
Top	Source File		Not Applicable	
counter11A	Post-Synthesis		On	

Recommendation: 1 of 1 for All Design Partitions

Run Partition Merge to obtain more recommendations

Messages

Type	ID	Message
Information	23030	Evaluation of Tcl script /opt/altera/13.1/quartus/common/tcl/apps/pr_man/qpr_create_pr_revision.tcl was successful
Information		Quartus II 64-Bit Shell was successful. 0 errors, 0 warnings

prtstを定義

Project Navigator

▶ Compile All

Revision	Type	Next Stage
PW_MW_INT_HOST_TOP	Base	Partition Merge
prtst	Reconfigurable	Analysis & Synthesis

Files | Design Units | IP Components | Revisions

Tasks

Flow: Full Design | Customize...

Task
Assign Constraints
Compile Design
Analysis & Synthesis
Edit Settings
View Report
Analysis & Elaboration
Partition Merge

ALTERA
QUARTUS® II
Version 13.1

- View New Quartus II Information
- Documentation
- Notification Center

LogicLock...

Region Name	Size	Width	Height	State	Origin	Reserved	Enabled	Partial Reconfiguration
LogicLock Regions								
Root Region	Fixed	211	130	Locked	X0_Y0	Off	Enabled	No
<<new>>								
counter_UA	Fixed	2	64	Locked	X50_Y1	On	Enabled	Yes

Recommendation: 1 of 1 for [] Recommendations not available until after compilation

Design Pa...

Partition Name	Netlist Type	Color	Allow Multiple Personas	Input Persona
Design Partitions				
<<new>>				
Top	Not Applicable	[Blue]	Not Applicable	persona/PW_MW_INT_HOST_TOP.root_partition.persona
counter_UA	Empty	[Orange]	On	

Recommendation: 1 of 1 for [] Recommendations not available until after compilation

Messages

All [] <<Search>>

Type	ID	Message
------	----	---------

System | Processing

prstst

Project Navigator

- Entity
 - Stratix V: 5SGXEA7K2F40C2
 - PW_MW_INT_HOST_TOP
 - freezer:DUT
 - counter:UA
 - PRMW_IntHost_Controller:Int_Host_Inst
 - PR_ROM:PR_ROM_inst
 - PR_MW_Verilog:U1

Hierarchy | Files | Design Units | IP Components

Tasks

Flow: Full Design Customize...

Task
Qsys (system generation)
Assign Constraints
Compile Design
Analysis & Synthesis
Edit Settings
View Report
Analysis & Elaboration

Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Flow Messages
- Flow Suppressed Message

Flow Summary

Flow Status	Successful - Wed Nov 4 11:06:41 2015
Quartus II 64-Bit Version	13.1.0 Build 162 10/23/2013 SJ Full Version
Revision Name	prstst
Top-level Entity Name	PW_MW_INT_HOST_TOP
Family	Stratix V
Device	5SGXEA7K2F40C2
Timing Models	Final
Logic utilization (in ALMs)	N/A until Partition Merge
Total registers	N/A until Partition Merge
Total pins	N/A until Partition Merge
Total virtual pins	N/A until Partition Merge
Total block memory bits	N/A until Partition Merge
Total DSP Blocks	N/A until Partition Merge
Total HSSI STD RX PCSS	N/A until Partition Merge
Total HSSI 10G RX PCSS	N/A until Partition Merge
Total HSSI GEN3 RX PCSS	N/A until Partition Merge
Total HSSI PMA RX Deserializers	N/A until Partition Merge
Total HSSI STD TX PCSS	N/A until Partition Merge
Total HSSI 10G TX PCSS	N/A until Partition Merge
Total HSSI GEN3 TX PCSS	N/A until Partition Merge
Total HSSI TX Channels	N/A until Partition Merge
Total HSSI PIPE GEN1_2s	N/A until Partition Merge

LogicLock...

Region Name	Size	Width	Height	State	Origin	Reserved	Enabled	Partial Reconfiguration
Root Region	Fixed	211	130	Locked	X0_Y0	Off	Enabled	No
<<new>>								
counter:UA	Fixed	3	64	Locked	X50_Y1	On	Enabled	Yes

commendation: 1 of 1 for All LogicLock Regions

Run Partition Merge to obtain more recommendations

Onに設定して
Compile→Asse
mblerまで行う

Design Pa...

Partition Name	Netlist Type	Color	Allow Multiple Personas	Input Persona
<<new>>				
Top	Not Applicable		Not Applicable	persona/PW_MW_INT_HOST_TOP.root_partition.persona
counter:UA	Source File		On	

commendation: 1 of 1 for All Design Partitions

Run Partition Merge to obtain more recommendations

Messages

Type	ID	Message
Info	21057	Implemented 24 device resources after synthesis - the final resource count might be different
Info		Quartus II 64-Bit Analysis & Synthesis was successful. 0 errors, 6 warnings

ファイル変換の流れ

- persona2(counter_pwm)について、通常使うsofとmsf(Masked SRAM file)からpmsf(Partial Masked SRAM file)を生成
- これをrbf(Raw binary File)に変換、その時にmif(Memory Initialize File)を作る
- mifファイルをPR_DATA.mifにコピーしてPR_ROM内にpersona2の Configuration Dataを入れてやる
- 最初のバージョンに戻ってsofを作り直す。これでPR_ROM内にPartial Reconfiguration用Configuration Fileが入っていて、現在はpersona1が動作する設計ファイルができる
- これをボードにダウンロードして動かす。start_PBボタンを押すと Partial Reconfigurationが起きて、persona2に切り替わる。

psmfを生成する

- 元のバージョンに戻る
- File->Convert Programming Files
- Windowがポップアップするので、
 - Programming File TypeをPartial-Masked SRAM Object File (.psmf)に設定
 - (Marged Partial...というのものもあるがこれは違うので注意！)
 - 出力File nameを適当に設定(ここでは rtst1.psf)
 - Input files to convert
 - MSF Dataとしてはoutput_files/prtst.x50y1.msfを選択→Add
 - SOF Dataとしてはoutput_files/prtst.sofを選択→Add
 - つまりprtstバージョンのファイルを選択する
- Generateを押すとprtst1.psmfができる

rbf,mifを生成する

- 引き続きConvert Programming File Windowで
- Programming file typeをRaw Binary File for Partial Reconfiguration(.rbf)に設定(rbfは二つあるので注意！)
- File nameはprtst1.rbf(自動的に入る)
- Input files to convertで先に作ったprtst1.pmsfを指定
- Generate
- ここで、quartus.iniがquatus立ち上げ時に立ち上げディレクトリに置かれていれば、prtst1.rbfと共にprtst1.mifが生成される

mifを入れ替えて再アセンブル

- `cp prtst1.mif SRC/PR_DATA.mif`
- Versionが元のものであることを確認
- Processing->Update Memory Initialization Fileをクリック
- 再びAssemblerを動かす(もう不必要と言われるが強行する)
 - 注意！ここで、最初からコンパイルし直すと動かなくなる
 - これで半日潰した

PW_MW_HOST_INT.sofをボードにロード

- 通常の方法でUSB Blasterを使ってPW_MW_HOST_INT.sofをボードにダウンロードする
- clkoutのLED(一番端)がゆっくり点滅するはず。resetボタン(一番端)を押すと、リセットされるが点滅速度は変わらない。
- startPBのボタン(端から2番目)を押すと、Partial Reconfigurationが行われ、PR_COMPLETEのLEDが点灯する。失敗するとPR_ERRORも同時に点灯する
- clkoutのLEDが激しく点滅する。
- resetボタン(一番端)を押しても、もうpersonaは変わったので、元のゆっくりしたLEDの点滅には戻らない。

もちろんこれはデモとしてダメだろう

- これってボタンを押してLEDの点滅が変わるだけじゃん。こんなの簡単に設計できるじゃん。
- いやいやそうじゃないでしょう。ほら、resetを押しても最初の点滅速度に戻らないでしょう。普通のデジタル回路なら、resetすればゆっくりした点滅に戻るはずでしょう。これはpartial reconfigurationが行われて回路自体が入れ替わっちゃったからなんだよ。
- そんなのreset回路に細工すればすぐできるじゃん。partial reconfigurationのアピールにはなっていないよ。
- いやいやConfiguration Speedも劇的に上がってるよ。USBBlasterでConfigurationしたときは3分くらいかかったでしょう。これが一瞬でできちゃうんだよ！
- でも、それは最初にUSBBlasterでPartial Reconfigurationする設計分も送ったからじゃないの？
- ま、ある意味そうだけど。。。。

- もっとアピールするデモを作りたい

では開発時間が減るか？

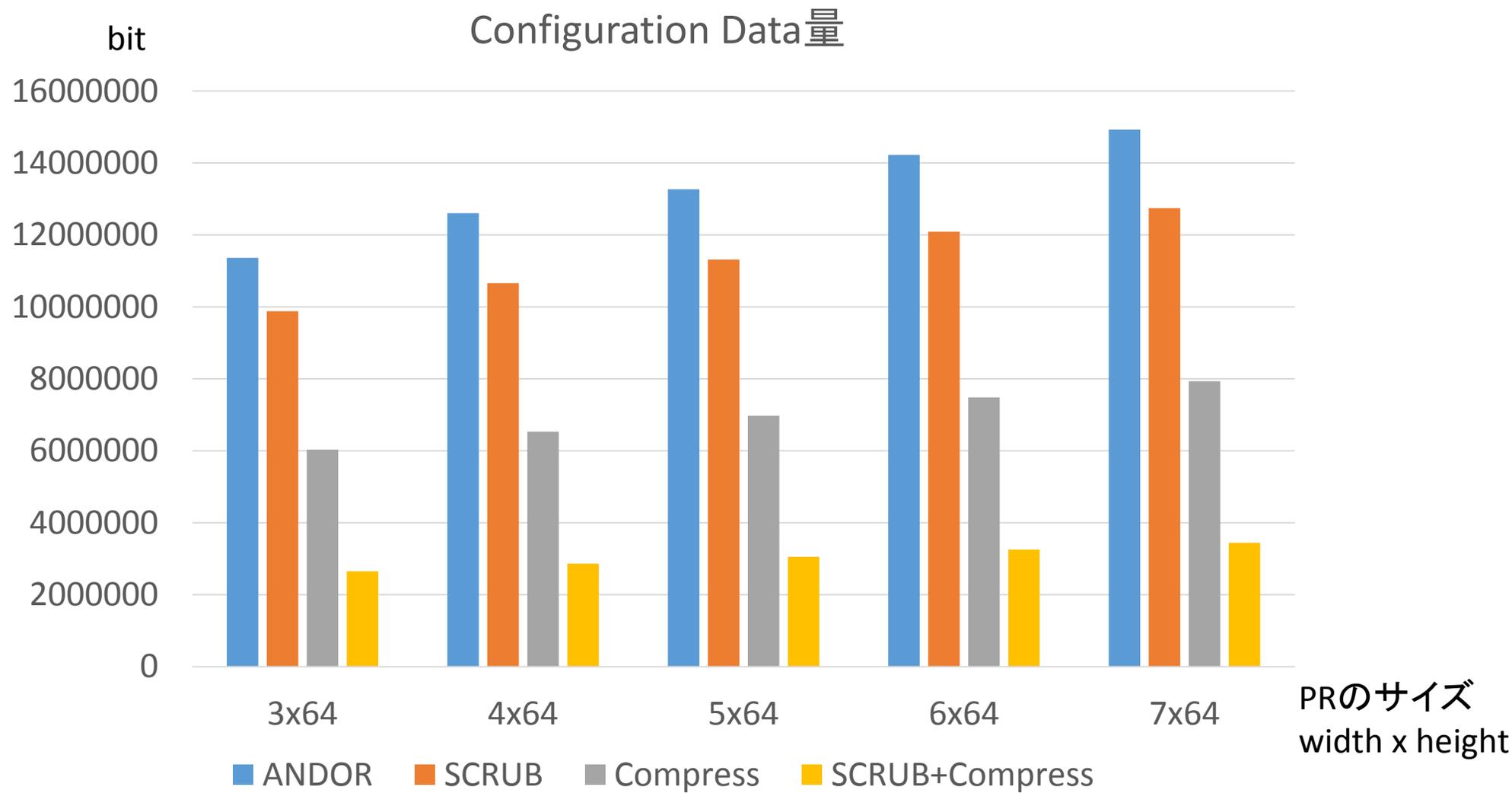
- persona2、つまりここではcounter_pwm.vを書き換えてみよう。
- 本当はこれをAnalysis→Assemblerする時間が、元の設計よりも劇的に小さくなるはずだ。
- しかし、実際はAssemblerが、謎のエラーで落ちてしまう。
- このエラーを回避するためにはVersionを元に戻して、元のAnalysis→Assemblerまで全て流してから、Versionをprtstに切り替えて再びAnalysis→Assemblerまで実行しなければならない。
- 結論として高速になるどころが、設計時間は2倍になる。
- これは、たぶんQuartus IIのバグであり、修正されることを期待したい

シミュレーションができない

- Partial Reconfiguration用のMegaFunctionのシミュレーション用ファイルがEncryptionされていてシミュレーションの方法が分からない
- どなたかわかる方は教えてくださいませ

Configuration Dataのファイルが大きすぎるのでは？

- PR_ROMはもっと小さくしても今回レベルのpersonaならば大丈夫
- Scrubモードにすれば減るはず
 - rbfを生成する際にpmsfファイルを選択してOptionをクリック
 - Scrubモードと圧縮モードがあるのでこれを選択して生成
 - 効果は次ページ参照
 - ScrubモードはPartitionのやり方に制限がある
 - 動作自体は確認
 - 圧縮モードは多分このControllerでは動かない
 - と思ったが動いた！
 - ちなみにScrubモード + Compressも動いた



寂しいので誰か一緒にやりましょう

- 情報交換をお願いします。トライしてみた人は、やっている人は hunga@am.ics.keio.ac.jp にメールください。